

日本国特許庁
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月23日

出願番号

Application Number:

特願2002-213912

[ST.10/C]:

[JP2002-213912]

出願人

Applicant(s):

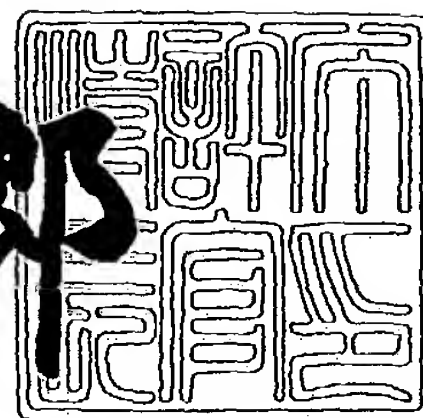
NECエレクトロニクス株式会社

2003年 5月13日

特許庁長官

Commissioner,
Patent Office

太田信一郎



出証番号 出証特2003-3034333

【書類名】 特許願

【整理番号】 74510258

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 佐藤 光一

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 澁谷 洋志

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 黒坂 均

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100103894

 【弁理士】

 【氏名又は名称】 家入 健

【手数料の表示】

 【予納台帳番号】 106760

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0118499

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 消費電力見積り装置及び方法

【特許請求の範囲】

【請求項 1】

アルゴリズム記述を入力し、クロックベース記述及び動作合成情報に変換する動作合成装置と、

前記クロックベース記述と前記動作合成情報を入力し、クロックベースシミュレーションを実行すると共に、当該クロックベース記述と当該動作合成情報の双方に基づいて記憶素子の消費電力因子を計算するクロックベースシミュレーション装置とを備えた消費電力見積り装置。

【請求項 2】

前記記憶素子の消費電力因子の計算にあたっては、配列変数部分について前記動作合成情報を用いて記憶素子の種類を判別することにより計算することを特徴とする請求項 1 記載の消費電力見積り装置。

【請求項 3】

前記消費電力因子は、トグル率及び／又は遷移確率であることを特徴とする請求項 1 又は 2 記載の消費電力見積り装置。

【請求項 4】

前記動作合成情報から R T 変数名とゲートの対応を推定し、トグル率及び／又は遷移確率をゲート回路に設定した後、全ゲート回路のトグル率及び／又は遷移確率を計算することを特徴とする請求項 3 記載の消費電力見積り装置。

【請求項 5】

ゲーテッドクロックを有する場合には、クロックのトグル率及び／又は遷移確率を記憶素子に対する書き込み確率と同じにすることを特徴とする請求項 3 記載の消費電力見積り装置。

【請求項 6】

クロックベース記述と動作合成情報を入力するステップと、

前記クロックベース記述に基づきクロックベースシミュレーションを実行するステップと、

前記クロックベース記述と前記動作合成情報の双方に基づいて消費電力因子を計算するステップとを備えた消費電力見積り方法。

【請求項 7】

前記記憶素子の消費電力因子の計算にあたっては、配列変数部分について前記動作合成情報を用いて記憶素子の種類を判別することにより計算することを特徴とする請求項 6 記載の消費電力見積り方法。

【請求項 8】

前記消費電力因子は、トグル率及び／又は遷移確率であることを特徴とする請求項 6 又は 7 記載の消費電力見積り方法。

【請求項 9】

前記動作合成情報から R T 変数名とゲートの対応を推定し、トグル率及び／又は遷移確率をゲート回路に設定した後、全ゲート回路のトグル率及び遷移確率を計算することを特徴とする請求項 8 記載の消費電力見積り方法。

【請求項 10】

ゲーテッドクロックを有する場合には、クロックのトグル率及び／又は遷移確率を記憶素子に対する書き込み確率と同じにすることを特徴とする請求項 8 記載の消費電力見積り方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ハードウェアの消費電力を見積もる装置及び方法に関し、特にクロックベースシミュレーションを行う装置において消費電力を見積もる装置及び方法に関する。

【0002】

【従来の技術】

近年、A S I C、C P U、メモリ等から構成される複合演算処理システムの開発に対する要求が高まっている。このようなシステムは、低消費電力化が求められているため、設計後、消費電力の見積りを行う。図 2 に従来の消費電力の見積り方法にかかるフローを示す。

【0003】

まず、システム全体の処理動作を記述したアルゴリズム1を動作合成装置2に入力する。このアルゴリズム1は、ASIC（HW：ハードウェア）を表現している。動作合成装置2は、入力されたアルゴリズム1に対して動作合成処理を実行し、RTL HDL3に変換する。その後、RTL HDL3に基づきRTL

HDLシミュレーション装置14によって、シミュレーションを行い、記憶素子となる変数の遷移確率及びトグル率を求める。

【0004】

また、RTL HDL3に基づき論理合成6も実行し、ゲート割り当てを行い、ゲートネットリスト7を生成し、トグル率・遷移確率計算装置10に入力する。RTL HDLシミュレーション装置14から記憶素子となる変数のトグル率及び遷移確率9もこのトグル率・遷移確率計算装置10に入力する。トグル率・遷移確率計算装置10は、これらの入力情報に基づき、トグル率及び遷移確率をゲート記憶素子に設定するとともに、記憶素子以外のゲートのトグル率、遷移確率を計算して、ゲート全体のトグル率、遷移確率11を計算する。さらに、全ゲートのトグル率及び遷移確率11とゲートライブラリ12に基づきゲートレベル消費電力計算装置13によってゲートレベルの消費電力を計算する。

【0005】

他方、アルゴリズム記述のシミュレーションよりも精細に、かつRTL HDL記述より高速にシミュレーションすることができるシミュレーションモデルを構築するために、クロックベースシミュレーション技術が提案されている。例えば、特開2001-109788号公報や「SOCの事前検証を実現するC++シミュレータ」（黒川秀文著、信学技報VLH98-46）に、このクロックベースシミュレーション技術が開示されている。クロックベースシミュレーションでは、クロックベース記述に基づき、シミュレーションが実行される。クロックベース記述は、アルゴリズムレベルより抽象度が低く、RTL HDL記述よりも抽象度が高い。

【0006】

【発明が解決しようとする課題】

従来のRTL HDLシミュレーションを前提とする消費電力の見積り方法は、記憶素子の値が変化するか否かに関らずサイクル毎に全ゲートの値の更新を行うため、シミュレーション速度が遅く、短時間で消費電力を見積もることが困難であった。また、バスに関して抽象度を高くして動作を簡略化していないため、その点でもシミュレーション速度を遅くしている。

【0007】

本発明は、このような問題を解決するためになされたものであり、高速かつ精度良く消費電力を見積もることができる消費電力見積り装置及び方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明にかかる消費電力見積り装置は、アルゴリズム記述を入力し、クロックベース記述及び動作合成情報に変換する動作合成装置と、前記クロックベース記述と前記動作合成情報を入力し、クロックベースシミュレーションを実行すると共に、当該クロックベース記述と当該動作合成情報の双方に基づいて記憶素子の消費電力因子を計算するクロックベースシミュレーション装置とを備えたものである。このような構成により、高速かつ精度良く消費電力を見積もることができる。

【0009】

前記記憶素子の消費電力因子の計算にあたっては、配列変数部分について前記動作合成情報を用いて記憶素子の種類を判別することにより計算することが好ましい。動作合成情報により記憶素子の種類の判別ができ、消費電力の見積もりを自動化できる。

【0010】

また、好適な実施の形態における消費電力因子は、トグル率及び／又は遷移確率である。

【0011】

さらに、前記動作合成情報からRT変数名とゲートの対応を推定し、トグル率及び／又は遷移確率をゲート回路に設定した後、全ゲート回路のトグル率及び／

又は遷移確率を計算することが好ましい。

【0012】

特に、ゲーテッドクロックを有する場合には、クロックのトグル率及び／又は遷移確率を記憶素子に対する書き込み確率と同じにするとよい。

【0013】

他方、本発明にかかる消費電力見積り方法は、クロックベース記述と動作合成情報を入力するステップと、前記クロックベース記述に基づきクロックベースシミュレーションを実行するステップと、前記クロックベース記述と前記動作合成情報の双方に基づいて消費電力因子を計算するステップとを備えたものである。このような方法により、高速かつ精度良く消費電力を見積もることができる。

【0014】

ここで、記憶素子の消費電力因子の計算にあたっては、配列変数部分について前記動作合成情報を用いて記憶素子の種類を判別することにより計算することが好ましい。動作合成情報により記憶素子の種類の判別ができ、消費電力の見積もりを自動化できる。

【0015】

また、好ましい実施の形態における消費電力因子は、トグル率及び／又は遷移確率である。

【0016】

さらに、前記動作合成情報からRT変数名とゲートの対応を推定し、トグル率及び／又は遷移確率をゲート回路に設定した後、全ゲート回路のトグル率及び遷移確率を計算することが望ましい。

【0017】

特に、ゲーテッドクロックを有する場合には、クロックのトグル率及び／又は遷移確率を記憶素子に対する書き込み確率と同じにするとよい。

【0018】

【発明の実施の形態】

本発明にかかる消費電力見積り方法では、消費電力を見積もるための情報として、トグル率と遷移確率を用いている。まず、これらトグル率及び遷移確率につ

いて説明する。

【 0 0 1 9 】

トグル率は、1 から 0 又は 0 から 1 のように値が変化した割合が全体のシミュレーション時間（クロックを基準としたサイクル数）においてどのくらいかを示したものである。例えば、1 から 0 へ変化し、さらに 0 から 1 へ変化した場合、即ち、1 と 0 の間を値が往復した場合に、1 回のトグルと計算する。この場合に、たとえば、すべてのサイクル毎にトグルがあるとすると、トグル率は 0. 5 となる。但し、1 回のトグルをどのように定義するかは任意である。トグル率は、消費電力中のスイッチング電力に影響する。

【 0 0 2 0 】

遷移確率は、変数のうち、1 や 0 の値のある確率である。例えば、全体のシミュレーションにおいてその変数が 1 を示す時間、即ちトランジスタが ON 状態にある時間が全体シミュレーション時間の半分の場合、遷移確率は 0. 5 となる。遷移確率はリーク電力に影響する。

【 0 0 2 1 】

尚、この発明の実施の形態では、消費電力を見積もるための情報として、トグル率と遷移確率の双方を用いる例につき説明するが、いずれか一方の情報であってもよく、また、これらの情報以外の同等の情報をさらに含むものであってもよい。さらには、トグル率及び遷移確率以外の情報のみによって消費電力を見積もる場合であっても本発明を適用することは可能である。

【 0 0 2 2 】

本発明にかかる消費電力見積り方法のフローを図 1 に示す。

図 1 に示されるように、システム全体の処理動作を記述したアルゴリズム 1 を動作合成装置 2 に入力する。このアルゴリズム 1 は、ASIC（HW：ハードウェア）を表現している。一般にアルゴリズム記述は、プログラミング言語である C 言語や C++ 言語によって表現される。

【 0 0 2 3 】

動作合成装置 2 は、入力されたアルゴリズム 1 を動作合成処理し、RTL HDL 3、クロックベース記述 4 及び合成情報 5 に変換する。アルゴリズム 1 をク

ロックベース記述4に変換する方法は、例えば、特開2001-109788号公報に開示されている。

【0024】

クロックベース記述4及び合成情報5は、クロックベースシミュレーション装置8に入力される。クロックベースシミュレーション装置8は、クロックベースシミュレーションを実行する。ここで、クロックベース記述は、RTL HDL記述より上位レベルであり、アルゴリズム記述より下位レベルの記述である。そのため、クロックベースシミュレーション装置8は、RTL HDLシミュレーション装置14によって実行されるHDLシミュレーションよりも高速なシミュレーションを実行することができる。そのアルゴリズムの内容によるが、クロックベース記述のシミュレーション時間は、RTL HDL記述のシミュレーション時間の概ね500分の1である。

【0025】

クロックベースシミュレーションでは、記憶素子となる変数のトグル率及び遷移確率を計算する。より具体的には、記憶素子に相当する変数の状態をトレースしながら、トグル率、遷移確率を計算する。例えば、Reg1="0010"のような値がReg1="0000"のような値に変化したとする。クロックベース記述では、変数に対してビット毎の情報を持つことが可能なので、2ビット目に相当するフリップフロップだけ変化があり、その以外のビットは変化がないことを判別できる。同様にして、遷移確率もすべてのビットに対して計算可能である。トグル率、遷移確率計算機構をクロックベース記述に新たに追加する。従来この部分はRTL HDLシミュレーションを用いて、レジスタのトグル率及び遷移確率を計算していた。しかし、RTL HDLシミュレーション速度が遅く、クロックベースシミュレーションの方がはるかに計算を高速に行うことができる。

【0026】

ここで、レジスタにしかない4ビットのレジスタであるインスタンス名Reg1は、論理合成によりゲート回路になると、以下のように変更される。

Reg1 → 0ビット目 Reg1_reg0

1ビット目 Reg1_reg1

2ビット目 Reg1_reg2

3ビット目 Reg1_reg3

このように、Reg1は、RTL変数名_regビット番号というように規則的にゲートのインスタンス名が変更される。従って、どのレジスタ変数が、ゲートのどのフリップフロップになるかが分かる。図8 (a)のようにビット毎に求めたクロックベース記述中のレジスタのトグル率、遷移確率を、図8 (b)のように4つのゲートレベルフリップフロップに割り当てることができる。

【0027】

但し、このようにゲート変数名が作成されない論理合成装置の場合、名称一致をとることができないかもしれない。このような場合には、トグル率及び遷移確率を設定できなかったフリップフロップに対してユーザがそれらを設定する。

【0028】

クロックベースシミュレーションは、記憶素子のトグル率及び遷移確率を計算するに際して、メモリかレジスタに該当するのかクロックベース記述だけでは判らない配列変数に関しては、動作合成装置2によって生成された動作合成情報5を用いて作成する。この処理は、本発明の特徴的なものであるため、後に詳述する。

【0029】

クロックベースシミュレーションでは、この他に、各モジュールのクロックベースの動作タイミング検証、各モジュールのインターフェースの概略検証、各モジュール、バスの動作クロックの周波数見積もり、キャッシュアクセスの見積り、バス占有率等のアクセスの見積り等を行う。

【0030】

また、図1に示されるように、RTL HDL3に基づき論理合成6も実行し、ゲート割り当てを行い、ゲートネットリスト7を生成する。そして、生成されたゲートネットリスト7は、トグル率・遷移確率計算装置10に入力される。クロックベースシミュレーション装置8より計算された記憶素子となる変数のトグル率及び遷移確率9もこのトグル率・遷移確率計算装置10に入力する。トグル

率・遷移確率計算装置 1 0 は、これらの入力情報に基づき、トグル率及び遷移確率をゲート記憶素子に設定するとともに、全ゲートのトグル率及び遷移確率 1 1 を計算する。即ち、トグル率、遷移確率の値をレジスタ、メモリなどの記憶素子から伝播させ、残りの組合せ回路におけるゲートのトグル率、遷移確率を計算する。さらに、このトグル率及び遷移確率 1 1 とゲートライブラリ 1 2 に基づきゲートレベル消費電力計算装置 1 3 によってゲートレベルの消費電力を計算する。消費電力計算の際、ゲートの論理情報、電力情報を持つライブラリを使用する。ここで、トグル率はスイッチング電力、遷移確率はリーク電流に影響して、消費電力が計算される。

【 0 0 3 1 】

以上のようにして計算される消費電力は、RTL HDLシミュレーションから消費電力を計算する手法と比較した場合、全く同一の精度である。そして、クロックベースシミュレーションの方がRTL HDLシミュレーションより高速という利点がある。

【 0 0 3 2 】

続いて、具体的な例を用いて、消費電力見積り方法について説明する。図 3 は、アルゴリズム 1 の記述例である。図 3 に示すアルゴリズム記述は、動作合成装置 2 によってクロックベース記述 4 に変換される。このとき、アルゴリズム記述に加えて回路を構成する資源制約条件を入力して動作合成を行う。資源制約条件は、例えば、レジスタ 4 個、加算器 1 個というようなものである。図 3 に示すアルゴリズム記述中に、変数は、a、b、c、d、x の 5 個、加算は 2 個含まれる。動作合成装置 2 では、動作合成スケジューリングにより、図 5 に示すような状態割付をデータフローグラフ上で行う。状態 1 では、a と b の加算を加算器を用いて行い、その結果を x に代入する。状態 2 では、配列 c [d] の load を行い、その結果を t 2 に代入する。状態 3 では、x と t 2 の加算を、a と b の加算を行った加算器と同じ加算器を用いて行い、その結果を再度 x に代入する。その後、サイクルの切れ目に存在する変数をレジスタに割り付ける。サイクルの切れ目で値を保持する必要があるため、このような変数はレジスタに割り付けられる。

【 0 0 3 3 】

図6は、レジスタ割付を行った後のデータフローグラフである。状態1では、変数aはReg1に割り付けられ、また変数bはReg2に割り付けられる。状態2では、変数xはReg3に割り付けられ、また、変数dはReg4に割り付けられる。状態3では、t2はReg2に割り付けられる。即ち、変数bとt2とがReg2を共有している。

【0034】

図4は、この例において、変数、レジスタ及び状態の関係を示す表である。表中のst0乃至st4はそれぞれ状態0乃至状態4に相当する。図4に示されるように、初期状態として状態0が作成されている。状態1では、レジスタReg1は変数aの値を持ち、レジスタReg2は変数bの値を持つ。状態2では、レジスタReg3は変数xの値を持ち、レジスタReg4は変数dの値を持つ。状態3では、レジスタReg2は変数t2の値を持ち、レジスタReg又はメモリは変数cの値を持つ。前述のように配列変数cは、クロックベース記述だけでは、メモリかレジスタのどちらになるかクロックベース記述だけではわからない。状態4では、レジスタReg3は変数xの値を持つ。図4に示す表に基づき図5に示すRT回路を作成できる。クロックベース記述を回路イメージで表現すると図7のようになる。このクロックベース記述によるハードウェア構成は、4つのレジスタ、8つのマルチプレクサとから形成される。

【0035】

続いて、配列変数に関する処理について詳述する。上述のように、配列変数は、メモリとフリップフロップのどちらになるかわからない。図9に配列変数の例につき示す。図9(a)はクロックベース記述の例、同(b)はゲートレベルフリップフロップとした場合の例、同(c)はメモリとした場合の例である。

【0036】

図9(a)に示す配列cの場合、動作合成情報5よりレジスタかメモリかを判定する。レジスタ(フリップフロップ)になる場合、配列のindexと要素のビット毎にトグル率、遷移確率を計算する。

【0037】

メモリの場合には、まず、その配列がゲートレベルにおいてどのメモリインスタンス

タンスで実現されているかを判別する。その判別には図10に示す動作合成情報ファイルを用いる。図10に示す動作合成情報ファイルでは、変数cはMEM1というメモリにマッピングされることが記されている。また、変数hはh_regというレジスタにマッピングされることが記されている。このとき、h_regに関しては、_regという接尾語に基づき、これがレジスタに相当するものと推定している。

【0038】

従って、図10に示す例の場合、配列cはメモリインスタンス名MEM1で実現されており、メモリであることが分かる。即ち、配列cは、図9(c)のように構成される。図9(c)に示す構成において、Addressは配列のindexに、dataInは入力データに、dataOUTは出力データにそれぞれ相当する。また、WEは、メモリのread、writeを示すものである。Wclkは、メモリをactiveにするかinactiveにするかを示すものである。これらの信号をどのようにすべきか、特にメモリのactive、inactiveに関しては、クロックベース記述には記載がない。従って、動作合成装置2がクロックベース記述と同時にどのようなHDLを作成する傾向になるかを推定して信号を設定するようにする。

【0039】

本発明の実施の形態において用いた動作合成装置2は、readの必要がないときにもメモリのread動作を常に実施するHDLを作成する。よって、ReadはWE=0、WriteはWE=1とし、Wclkは常にactiveとして動作させるような信号と推定する。もしくは、動作合成が何かしらの合成情報をファイルに残し、それを使用するようにしてもよい。

【0040】

このようにクロックベース記述と、動作合成情報の両方を使用することで、メモリになる配列のトグル率、遷移確率をゲート回路のメモリに割り当てることができる。

【0041】

以上の推定処理をまとめると次のようになる。

(1) クロックベース記述の場合、記憶素子となる変数がレジスタ（フリップフ

ロップ) とメモリのどちらになるか分からない場合がある。RTL HDLの場合にはメモリだとコンポーネントで記述されているので明確に分かる。

(2) レジスタとメモリによって、トグル率、遷移確率の設定情報が変わる。よって、記憶素子のタイプを知る必要がある。

(3) 推定処理のために、動作合成情報を使用する。

【 0 0 4 2 】

以上説明したように、本発明の実施の形態にかかる消費電力見積り方法では、クロックベースシミュレーション装置で計算したASICにおける記憶素子のトグル率、遷移確率から消費電力を計算することで、従来のRTL HDLシミュレーションでASICにおける記憶素子のトグル率、遷移確率を計算する手法より、高速にしかも精度としては同等の消費電力計算ができる。なぜならば、クロックベースシミュレーションでは、RTL HDLシミュレーションと違い、値の変化のあったレジスタのみ値の更新を行い、バスに関しては抽象度が高いため高速な見積りが期待できるからである。しかも、従来手法と同様の記憶素子に関するトグル率、遷移確率を得られるため、精度は同等である。

次に、ゲーテッドクロックを用いた場合の処理について説明する。

【 0 0 4 3 】

図 1 1 (a) は、ゲーテッドクロックがない場合の処理を示す図である。組合せ回路にレジスタ 1 0 3 が接続されている構成を例示する。このレジスタ 1 0 3 に対してデータ信号 1 0 1 及びクロック信号 1 0 2 が入力される。そしてレジスタ 1 0 3 からはデータ信号 1 0 4 が出力される。この場合のクロックベース記述は図示の通りである。この記述において、「\$」はクロックを区切ることを意味する。従って、この記述は、まず、レジスタ RG 1 に a を書き込み、2クロック後に b を書き込み、さらに2クロック後に c を読み出すことを意味する。図 1 1 (a) に示されるように、ゲーテッドクロックがない場合には、オンオフを繰り返すクロック信号 1 0 2 がレジスタ 1 0 3 に入力されるため消費電力が高い。信号の書き込みがない場合に、クロックを動かす必要がないため、不必要な時にクロックを止めるために、ゲーテッドクロックが消費電力削減手法として用いられるようになった。

【 0 0 4 4 】

図 1 1 (b) は、ゲーテッドクロックがある場合の処理を示す図である。この場合、クロック信号の入力部にゲート回路 1 0 5 が設けられている。動作合成において、このゲート回路 1 0 5 によるゲーテッドクロックを作成する。ゲート回路 1 0 5 は、Write時にクロックが供給される回路である。本動作合成装置 2 では、このようなWrite時のみに電力を止めるゲーテッドクロックを作成するため、クロックの遷移確率及びトグル率をレジスタのWriteの確率と同じにすることによって計算する。本動作を行わないゲーテッドクロックの場合には、その特性に合わせた波形を想定してトグル率、遷移確率を設定する必要がある。

【 0 0 4 5 】

【発明の効果】

本発明によれば、高速かつ精度良く消費電力を見積もることができる消費電力見積り装置及び方法を提供することができる。

その理由は、クロックベースシミュレーションでは、RTL HDLシミュレーションと違い、値の変化のあったレジスタのみ値の更新を行い、バスに関しては抽象度が高いため高速な見積りが期待できるからである。しかも、従来手法と同様の記憶素子に関するトグル率、遷移確率を得られるため、精度は同等である。

【図面の簡単な説明】

【図 1】

本発明にかかる消費電力見積り方法のフローを示す図である。

【図 2】

従来の消費電力見積り方法のフローを示す図である。

【図 3】

アルゴリズム記述例を示す図である。

【図 4】

状態遷移図の例を示す図である。

【図 5】

アルゴリズム変数を用いたデータフローグラフである。

【図 6】

レジスタ変数を用いたデータフローグラフである。

【図 7】

合成 R T L 回路の構成図である。

【図 8】

レジスタにおけるトグル率、遷移確率の設定を説明するための図である。

【図 9】

配列のトグル率、遷移確率の設定を説明するための図である。

【図 1 0】

動作合成情報の例を示す図である。

【図 1 1】

ゲーテッドクロックを有する回路を説明するための図である。

【符号の説明】

2 動作合成装置

8 クロックベースシミュレーション装置

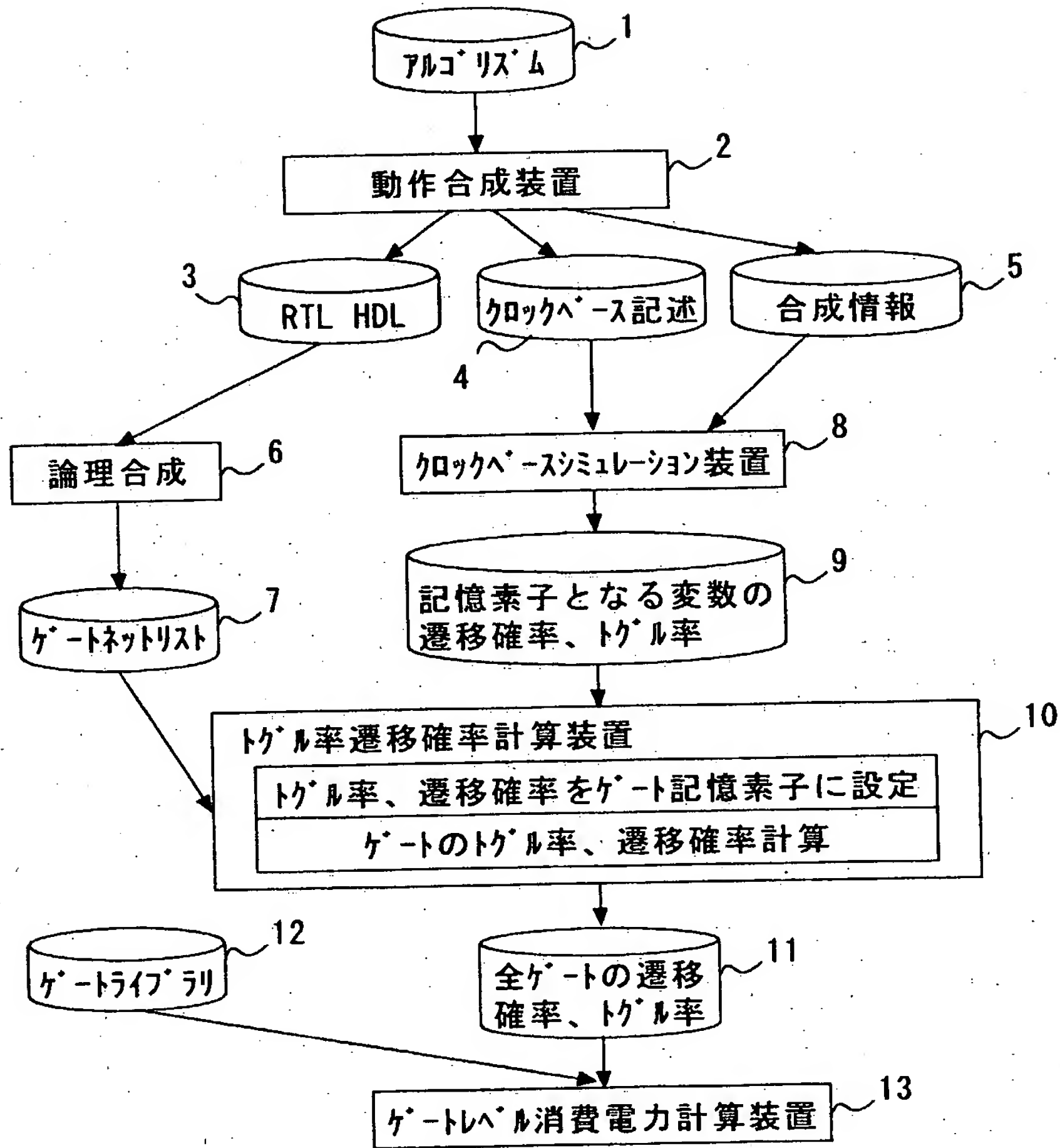
1 0 トグル率・遷移確率計算装置

1 3 ゲートレベル消費電力計算装置

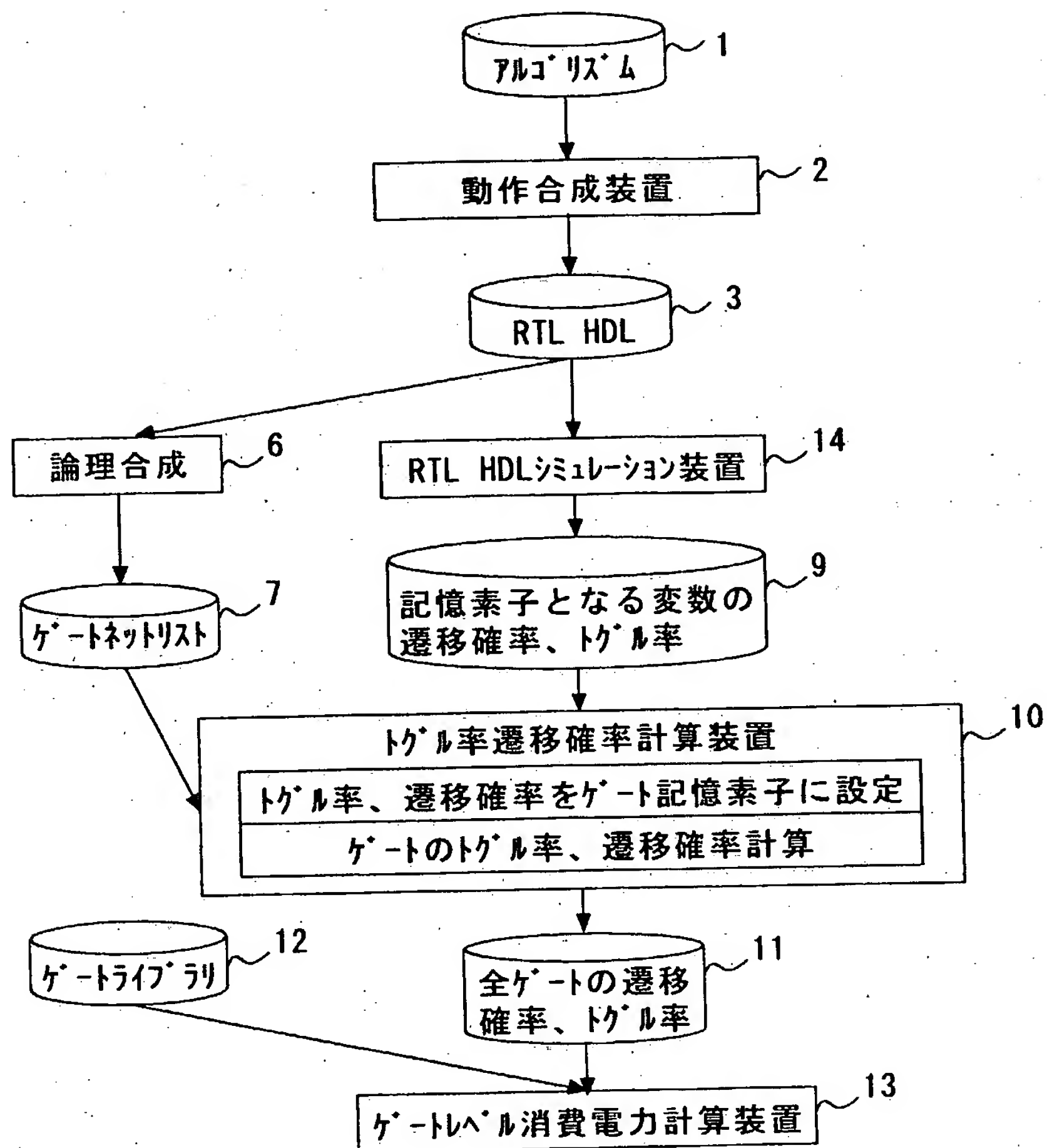
【書類名】

図面

【図 1】



【図2】



【図3】

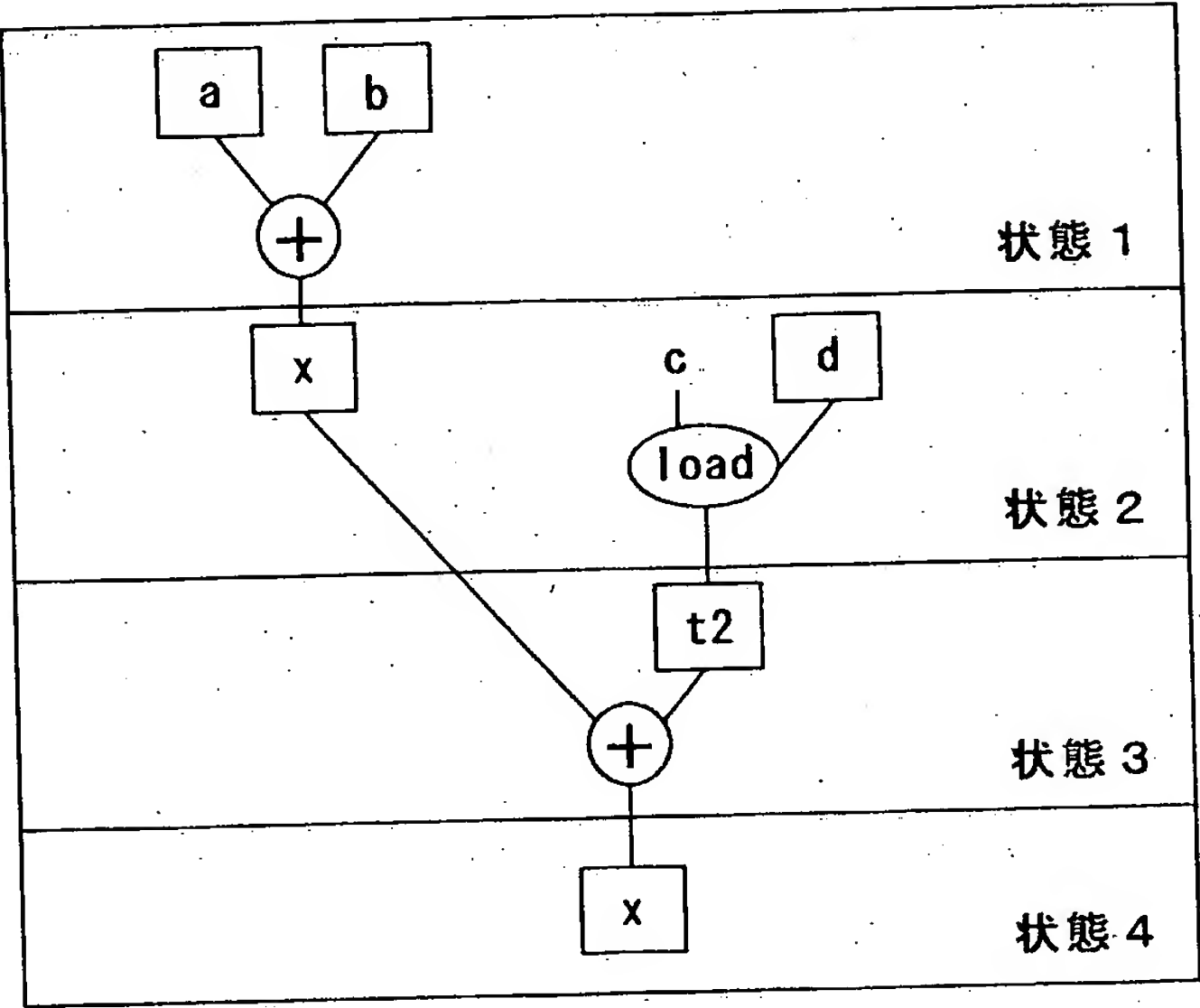
```

int DataPath(int a, b, *c, d)
{
    x = a + b;
    x = c[d] + x;
    return x;
}
    
```

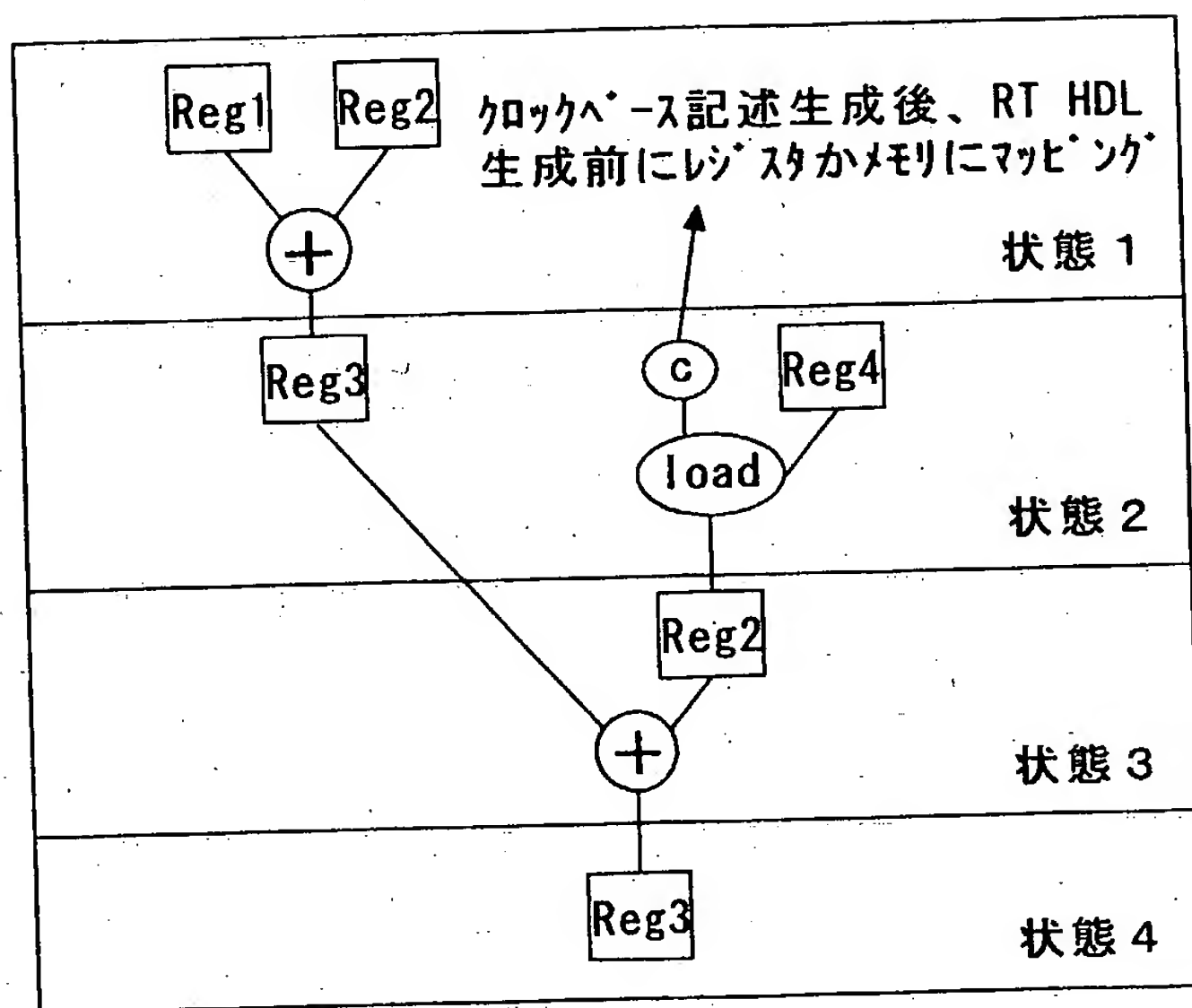
【図 4】

	Reg1	Reg2	Reg3	Reg4	Reg/Mem
st0	—	—	—	—	—
st1	a	b	—	—	—
st2	—	—	x	d	—
st3	—	t2	—	—	c
st4	—	—	x	—	—

【図 5】

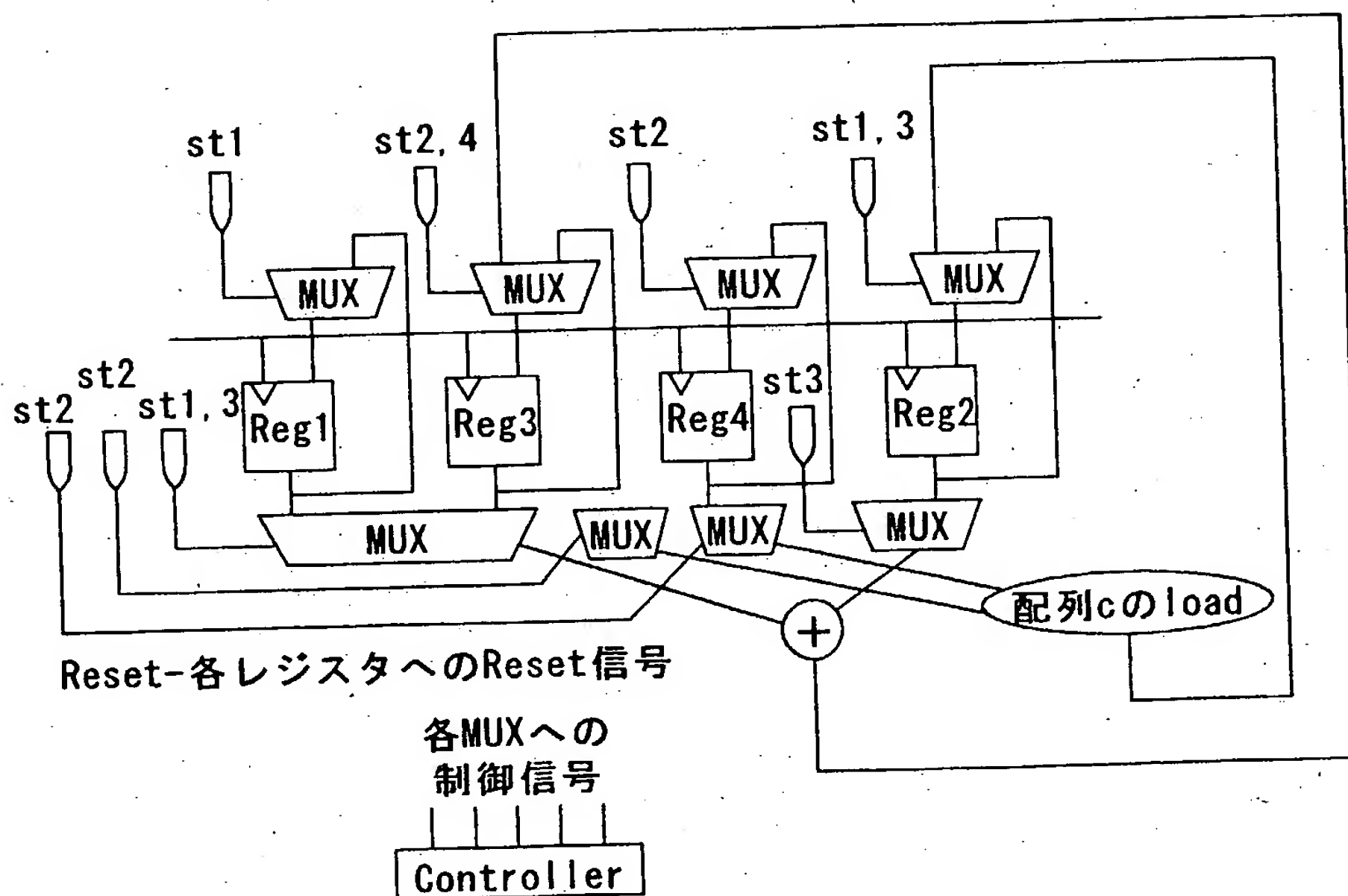


【図 6】



【図 7】

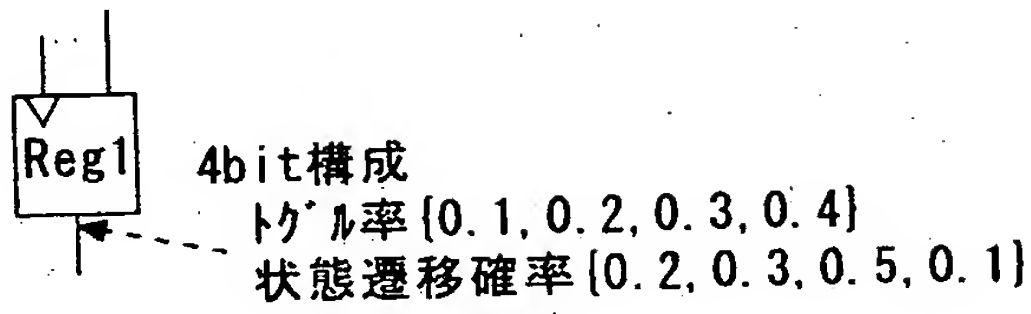
クロックベース記述



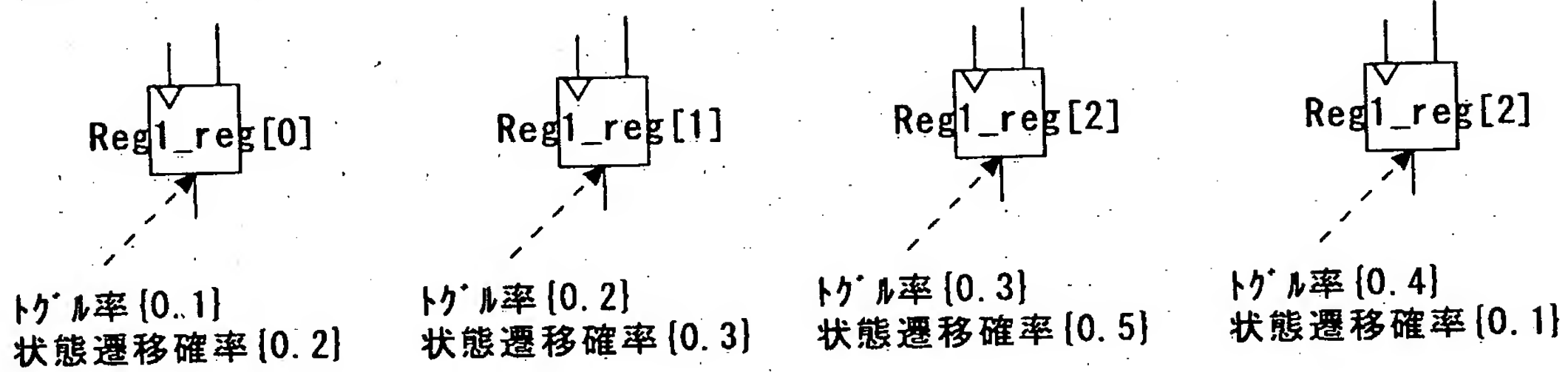
【図 8】

クロックベース記述

(a)

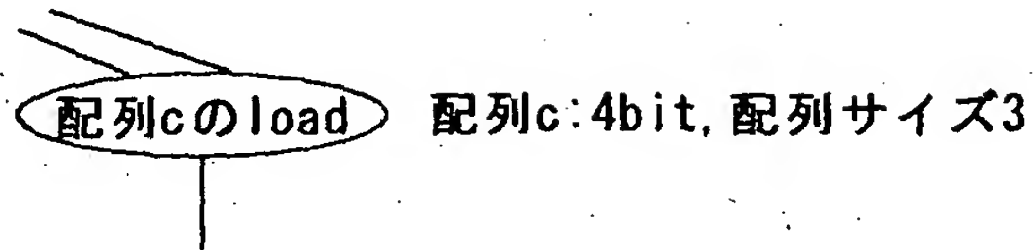


(b)

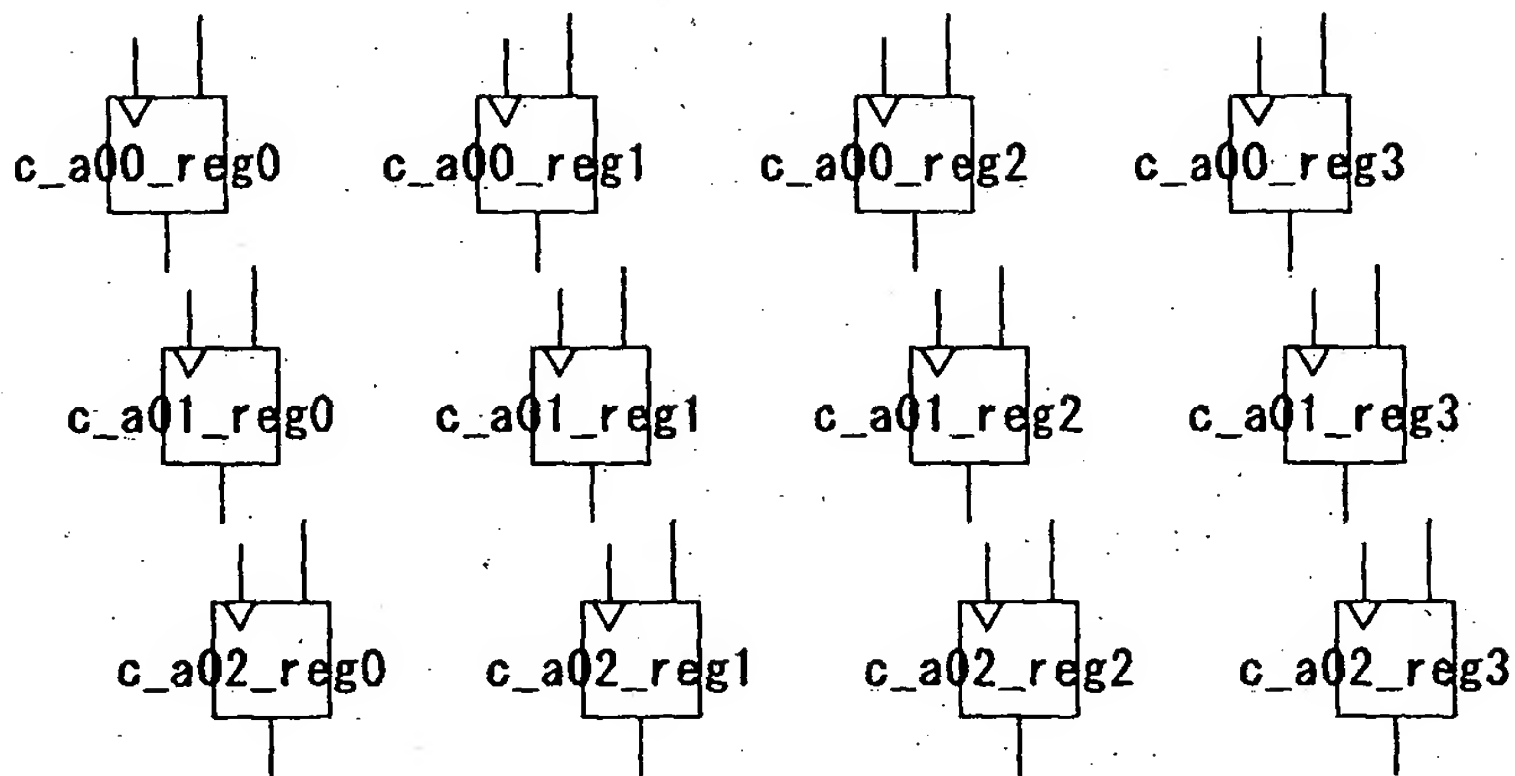


【図 9】

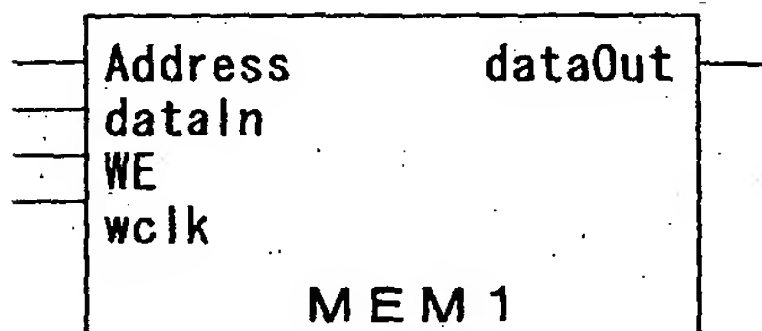
(a) ロックハース記述



(b) ゲートレベルフリップフロップ



(c) メモリ



【図 10】

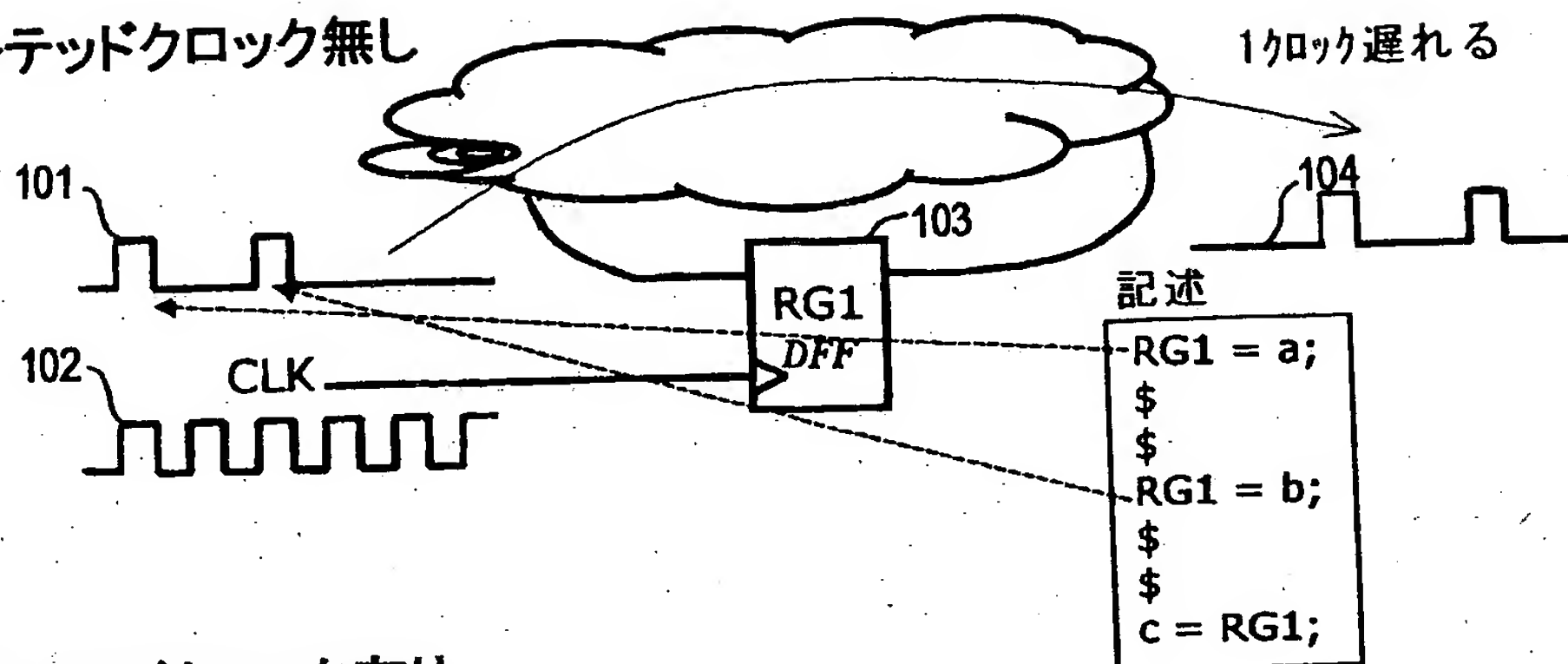
合成情報ファイル

{Memory Usage Table}

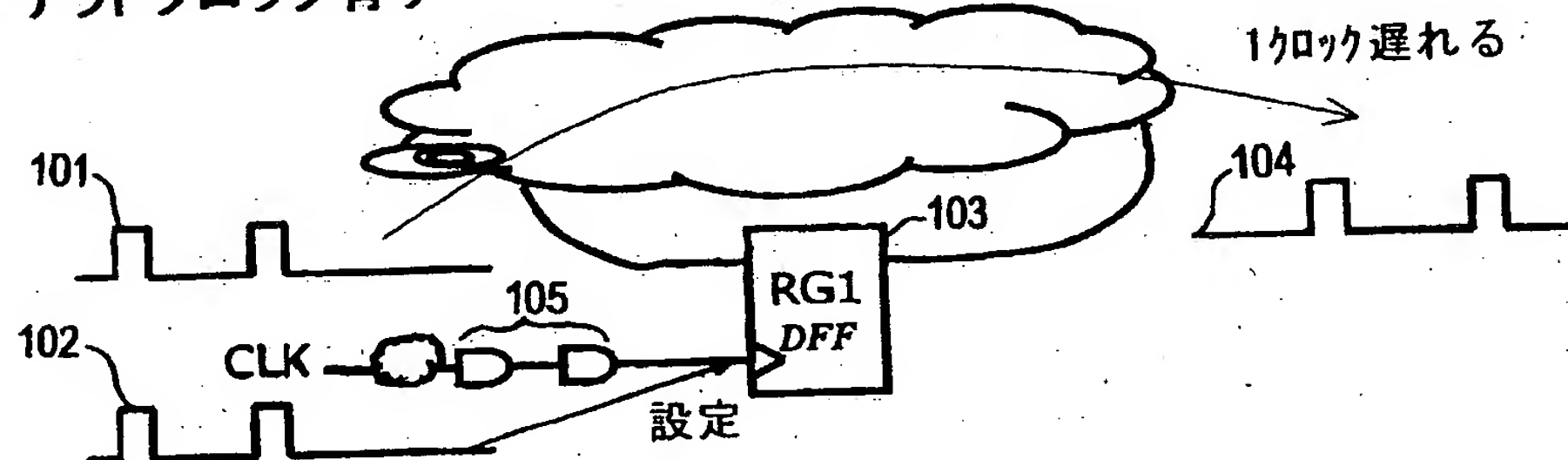
no.	name	kind	addr	data	stat	cond
1.	c(MEM1)	R1	TR_165(0:7)	----	ST1_14	T120
2.	h(h_reg)	RW1		RG_32(10:4)	ST1_16	T148 && T149

【図11】

(a) ゲーテッドクロック無し



(b) ゲーテッドクロック有り



【書類名】

要約書

【要約】

【課題】

高速かつ精度良く消費電力を見積もることができる消費電力見積り装置及び方法を提供すること。

【解決手段】

本発明にかかる消費電力見積り装置は、動作合成装置 2 と、クロックベースシミュレーション装置 8 を備えている。動作合成装置 2 は、アルゴリズム記述を入力し、クロックベース記述及び動作合成情報に変換する。クロックベースシミュレーション装置 8 は、クロックベース記述と動作合成情報を入力し、クロックベースシミュレーションを実行すると共に、クロックベース記述と動作合成情報の双方に基づいて記憶素子の消費電力因子を計算する。

【選択図】 図 1

特2002-213912

認定・付加情報

特許出願の番号

特願2002-213912

受付番号

50201081256

書類名

特許願

担当官

第七担当上席

0096

作成日

平成14年 7月24日

<認定情報・付加情報>

【提出日】

平成14年 7月23日

次頁無

出証特2003-3034333

【書類名】 出願人名義変更届（一般承継）

【提出日】 平成15年 1月14日

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-213912

【承継人】

【識別番号】 302062931

【氏名又は名称】 NECエレクトロニクス株式会社

【承継人代理人】

【識別番号】 100103894

【弁理士】

【氏名又は名称】 家入 健

【提出物件の目録】

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特願2002-318488

【物件名】 承継人であることを証明する承継証明書 1

【援用の表示】 特願2002-318488

【包括委任状番号】 0218232

【プルーフの要否】 要

特2002-213912

出願人履歴情報

識別番号

[000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社

特2002-213912

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地

氏 名 NECエレクトロニクス株式会社